

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-278210

(43)Date of publication of application : 09.12.1991

(51)Int.Cl.

G06F 1/04

G06F 11/30

G06F 15/78

(21)Application number : 02-079236

(71)Applicant : NEC CORP

(22)Date of filing : 28.03.1990

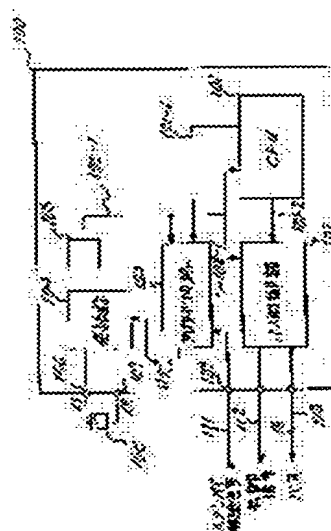
(72)Inventor : MATSUSHIMA OSAMU

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To prevent the contents of an external memory from being carelessly destructed and to prevent power consumption from being increased by controlling the generation of an instruction in accordance with a state whether a bus cycle is being driven or not at the time of generating a stand-by instruction from a central processing unit (CPU).

CONSTITUTION: The output of an oscillator 104 is divided by a frequency two-dividing circuit 105 to supply operation clocks. At the time of starting the bus cycle, the CPU 101 controls a bus control part 102 to start the bus cycle at a proper timing. At T1 timing, the bus cycle is started and a busy signal 102-1 is set up to logical value '1'. At the time of generating a stand-by instruction at T2 timing on the other hand, the CPU 101 does not output a synchronizing output 110-2 until the end of the bus cycle because the busy signal 102-1 is active. The oscillator 104 starts oscillation at the time of releasing the stand-by instruction, but no clock is outputted to the circuit 105 until the stabilization of oscillation, so that the generation of malfunction can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-278210

⑬ Int. Cl.⁵

G 06 F 1/04
11/30
15/78

識別記号

3 0 1 C
3 2 0 A
5 1 0 P

庁内整理番号

7459-5B
7165-5B
7530-5L

⑭ 公開 平成3年(1991)12月9日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 平2-79236

⑰ 出 願 平2(1990)3月28日

⑱ 発 明 者 松 嶋 修 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

動作クロックを供給する発振器と、命令処理を行う中央処理装置と、メモリのリード／ライトを制御する手段を備えたマイクロコンピュータにおいて、前記メモリのリード／ライト制御手段はメモリのリード／ライトサイクルが起動中であることを示す手段を備え、前記中央処理装置がマイクロコンピュータをスタンバイ状態とする命令を実行したとき、前記手段がリード／ライトサイクル起動中を示しているときには発振器を停止せず、リード／ライトサイクルが終了したことを検出したとき発振を停止させる手段とを備えたマイクロコンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はスタンバイ機能を内蔵したマイクロコンピュータに関する。

〔従来の技術〕

近年ではバッテリー駆動の装置が増加しており、装置に内蔵されている電子機器の消費電力低減が望まれている。そこでマイクロコンピュータでは未使用時には動作クロックを停止して消費電力を極小とするスタンバイモードを内蔵しているものが多い。また、マイクロコンピュータでは性能向上のため命令コードのプリフェッチやパイプライン動作のためマイクロコンピュータの命令処理とメモリアクセスのためのバスサイクルが非同期に行なわれていることが増えている。したがってプログラムによりスタンバイモードを設定する場合には実際にスタンバイ状態となるときに、バスサイクルが起動中である場合がある。

〔発明が解決しようとする課題〕

したがってバスサイクル起動中にスタンバイ状

態となるとリード／ライト制御用のストロブ信号などがアクティブ状態で停止する場合があります、データ破壊やメモリ等の消費電力増加の要因となるといった問題があった。

〔課題を解決するための手段〕

本発明によるマイクロコンピュータはバスサイクル起動中であることを示す手段を備え、マイクロコンピュータの中央処理装置がスタンバイ状態を設定する命令を実行したとき前記手段が起動中を示しているときにはスタンバイ状態とせず、バスサイクルが終了したことを検出したときスタンバイとする手段を備えている。

〔実施例〕

次に本発明の一実施例を第1図を参照して説明する。本発明によるマイクロコンピュータ100は、命令処理を行うCPU101、バス制御部102、発振器104、2分周回路105および同期化回路103を含んでいる。発振器104にはクリスタル108を接続できるように×1端子106、×2端子107、2端子を備えている。

- 3 -

同期化回路103はこれを認識し、同期化出力110-2を論理値“0”とし、発振器104は発振を開始し発振器104内の図中不図示のタイマにより所定期間経過し、発振が安定すると2分周回路105を通じて動作クロック105-1を供給する。次に以上の動作を第2図のタイミングチャートを参照して説明する。

発振器104出力は2分周回路105にて分周されて動作クロック105-1として供給されている。CPU101はバスサイクルを起動する場合にはバスサイクル発生要求101-2を論理値“1”とする。バス制御部102はバスを調整し、適当なタイミングでバスサイクルを起動する。図中T1タイミングで、CPU101はバスサイクル発生要求を行ない、バス制御部102はただちにバスサイクルを起動したので同一タイミングでビジー信号102-1を論理値“1”とする。一方CPU101は図中T2タイミングでスタンバイ命令によりスタンバイ要求101-1を発生するが、ビジー信号102-1は論理値“1”のため

- 5 -

発振器104の出力は2分周回路105でクロックのデューティを調整されマイクロコンピュータ100の動作クロック105-1として各部分に供給される。CPU101ではバス制御部102に対してバスサイクル発生要求101-2を発生し、バス制御部102ではこの要求にもとづき制御信号112を発生し、バス113を制御することにより各種データのリード／ライトを行う。CPU101でスタンバイ状態を設定する命令（以下、スタンバイ命令という。）を実行するとスタンバイ要求101-1を同期化回路103へ出力する。同期化回路103ではバス制御部102が動作状態であることを示すビジー信号102-1をモニタし、ビジー状態が解除されたことを検出すると同期化出力110-2を出力し発振器104に対してスタンバイタイミングを通知する。発振器104ではただちにクリスタル108の発振を停止させるため×1端子106をブルダウンしてクロックを停止する。スタンバイ解除時はスタンバイ解除信号111が端子109に通知されると

- 4 -

めバスサイクル終了まで同期化出力110-2は出力されない。図中T3タイミングではバスサイクルが終了するので同期化出力110-2は論理値“1”となり、これにより発振器104は発振を停止し、出力は論理値“1”となる。スタンバイ解除時は図中T4タイミングでスタンバイ解除信号111が論理値“1”となることで同期化出力110-2が論理値“0”となり発振器104は発振を開始する。ところが発振の安定する図中T5タイミングまでは分周回路105へはクロックを出力せず誤動作を防ぐ。

次に第3図を用いて本発明の第二の実施例を説明する。第1の実施例と異なるのは同期化出力101-2が端子114から出力されている点で、外部よりマイクロコンピュータ100がスタンバイ状態であることを認識することができる。これにより誤動作などにより不用意にマイクロコンピュータ100がスタンバイした場合でもこれを外部で検出して解除可能なので応用システムの安全性が向上する。他の動作については第1の実施

- 6 -

例と同一であるので説明は省略する。

〔発明の効果〕

以上説明したように、本発明によりマイクロコンピュータがバスサイクルに同期してスタンバイ状態となるので、外部メモリの内容が不用意に破壊されたり応用システムの消費電力が増加するという問題のないマイクロコンピュータが得られる。

信号、111……スタンバイ解除信号、110……論理ゲート、110-2……同期化出力、110-1……クロック、114……端子。

代理人 弁理士 内 原 晋

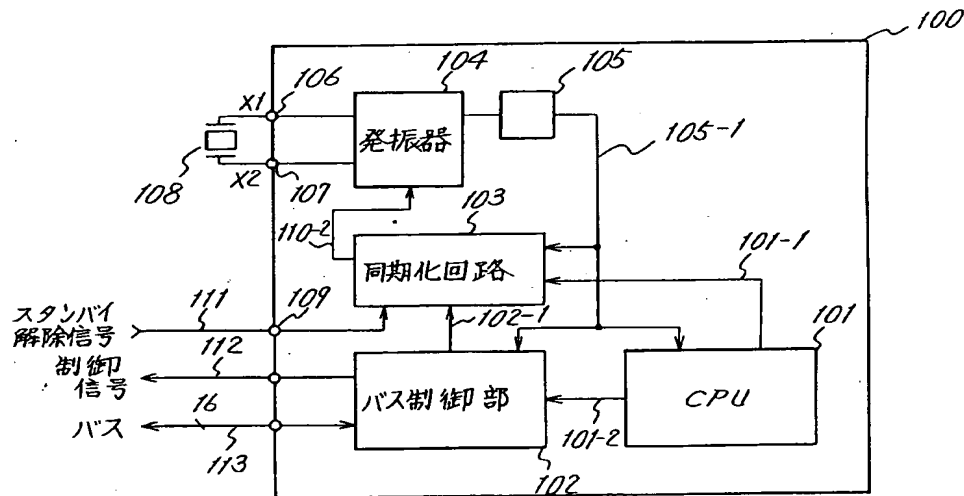
4. 図面の簡単な説明

第1図は本発明による第1の実施例のブロック図、第2図は本発明を説明するためのタイミングチャート、第3図は本発明による第2の実施例のブロック図である。

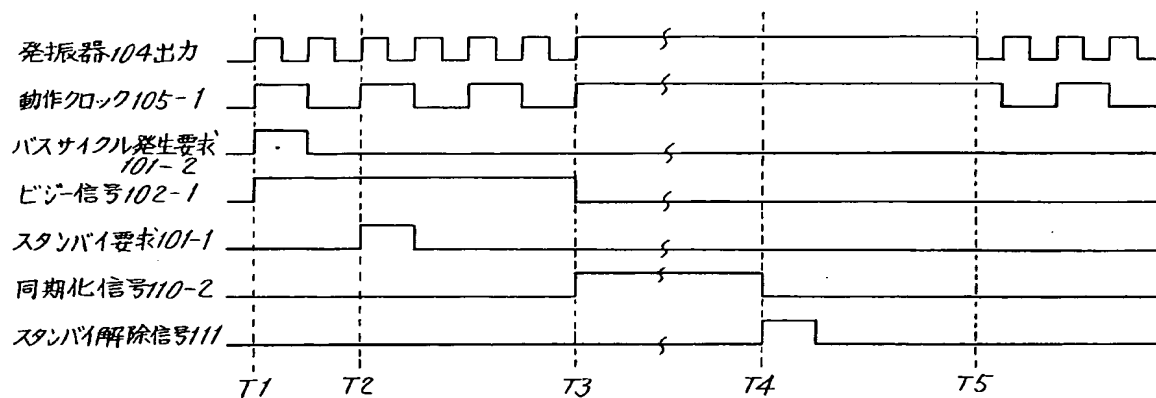
100……マイクロコンピュータ、101……CPU、102……バス制御部、103……同期化回路、104……発振器、105……2分周回路、106……×1端子、107……×2端子、108……クリスタル、109……スタンバイ解除入力端子、105-1……動作クロック、101-1……スタンバイ要求、102-1……ビジー

- 7 -

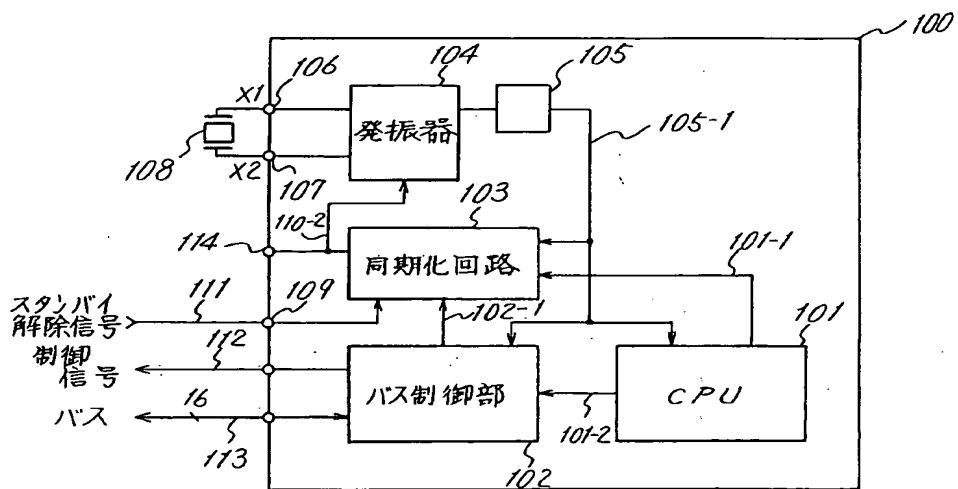
- 8 -



第1図



第 2 図



第 3 図